

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-277557

(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

H01L 21/60

H01L 23/48

(21)Application number : 11-083519

(71)Applicant : FUJITSU TEN LTD

(22)Date of filing : 26.03.1999

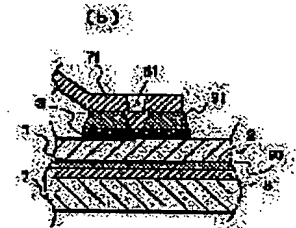
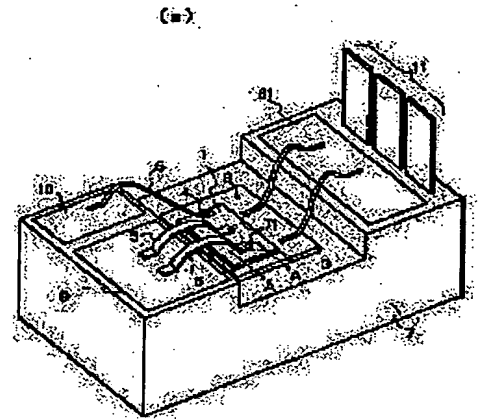
(72)Inventor : UNO YUJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the breakage of the thermal expansion by the heated up junction part between the source electrode and a bonding wire in a high power semiconductor device, and to prevent the damage of the source electrode by ultrasonic vibration.

SOLUTION: A source lead member 5, which is connected to the source electrode 3 of a semiconductor element and having a tabular electrode junction part 71 of the area that is almost the same as the electrode 3, is provided and the electrode junction part 71 of the source lead member 5 is connected to the electrode 3 through solder 91.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 半導体素子の電極に接合し、該電極に対応した面積を有する平板状の電極接合部が形成されたリード部材が設けられ、

前記リード部材の電極接合部が接合部材を介して前記電極に接合されてなることを特徴とする半導体装置。

【請求項2】 前記電極接合部の前記電極と対向する面に突起が設けられてなることを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体素子の電極に接合し、該電極に対応した面積を有する平板状のパッド部材が設けられ、前記パッド部材が接合部材を介して前記電極に接合され、該パッド部材の該電極とは反対の面に金属細線の一端が接合されてなることを特徴とする半導体装置。

【請求項4】 前記パッド部材には前記半導体素子の複数の電極に対応する位置に複数の突起が設けられ該突起が該電極に接合部材を介して接合されてなることを特徴とする請求項3記載の半導体装置。

【請求項5】 両面に電極を有する半導体素子と、前記半導体素子の上面電極に対応する上面電極用パターンが配置された上面基板と、前記半導体素子の下面の電極に対応する下面電極用パターンが配置された下面基板とからなり、該半導体素子の上面電極と、これに対応する上面電極用パターンが接合部材を介して接合され、該半導体素子の下面電極と、これに対応する下面電極用パターンが接合部材を介して接合されてなることを特徴とする半導体装置。

【請求項6】 前記上面電極用パターン、または前記下面電極用パターンには、前記半導体素子の上面電極または下面電極との接合時において、該半導体素子の所定部分と非接触になる溝が形成されてなることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記上面電極パターンが前記半導体素子よりも一方方向に延設され、前記下面電極用パターンが該半導体素子よりも他方方向に延設され前記延設された上面電極用パターンの部分には、装置外部と接続する第1の外部接続部材が、前記延設された第2のパターンの部分には、装置外部と接続する第2の外部接続部材がそれぞれ接合され、前記第1の外部接続部材と前記第2の外部接続部材とが互いに非接触となることを特徴とする請求項5記載の半導体装置。

【請求項8】 前記接合部材ははんだまたはろう部材からなることを特徴とする請求項1乃至請求項7記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の電極とボンディングワイヤ等の接続部材との接合構造に関する。

【0002】

【従来の技術】従来の半導体装置においては半導体素子の(FETの場合)ドレイン電極は外部回路基板あるいは金属板に直接はんだ等の接合部材で接合され、ゲート電極、ソース電極はアルミニウム製のボンディングワイヤ(金属細線)を介して外部回路と超音波振動により接合されている。

【0003】

【発明が解決しようとする課題】しかし、特に大電力半導体装置では大電流を流すため、大電流を流すソース電極に接続されているアルミニウム製のボンディングワイヤの本数を多くする必要があるが、電極の面積により制限され、また、ボンディングワイヤの本数が多いと接合時間が多く掛かる。また、ボンディングワイヤはもとも電極に対する接合面積が小さいため、ボンディングワイヤと電極との接合部分の接続抵抗が少しでも大きいと、ボンディングワイヤが大電流のため大きな発熱を起し接合部分が剥離する場合がある。またボンディングワイヤの接合抵抗を小さくするために、すなわち確実に接続するために、超音波振動工程における加重、時間等の負荷を掛け過ぎると電極に傷がはいる等して素子が破壊する。

【0004】本発明の目的は、半導体素子の電極の接合部分が剥離することなく大電流を流すことができ、また超音波振動による半導体素子の破壊を防止することにある。

【0005】

【課題を解決するための手段】本発明は上述の問題を解決するもので、半導体素子の電極に接合し、該電極に対応した面積を有する平板状の電極接合部が形成されたリード部材が設けられ、前記リード部材の電極接合部が接合部材を介して前記電極に接合されてなることを特徴とし、また、前記電極接合部の前記電極と対向する面に突起が設けられてなることを特徴とし、また、半導体素子の電極に接合し、該電極に対応した面積を有する平板状のパッド部材が設けられ、前記パッド部材が接合部材を介して前記電極に接合され、該パッド部材の該電極とは反対の面に金属細線の一端が接合されてなることを特徴とし、また、前記パッド部材には前記半導体素子の複数の電極に対応する位置に複数の突起が設けられ該突起が該電極に接合部材を介して接合されてなることを特徴とし、また、両面に電極を有する半導体素子と、前記半導体素子の上面電極に対応する上面電極用パターンが配置された上面基板と、前記半導体素子の下面の電極に対応する下面電極用パターンが配置された下面基板とからなり、該半導体素子の上面電極と、これに対応する上面電極用パターンが接合部材を介して接合され、該半導体素子の下面電極と、これに対応する下面電極用パターンが接合部材を介して接合されてなることを特徴とし、また、前記上面電極用パターン、または前記下面電極用パターンには、前記半導体素子の上面電極または下面電極

との接合時において、該半導体素子の所定部分と非接触になる溝が形成されてなることを特徴とし、また、前記上面電極パターンが前記半導体素子よりも一方方向に延設され、前記下面電極用パターンが該半導体素子よりも他方方向に延設され前記延設された上面電極用パターンの部分には、第1の外部接続部材が、前記延設された第2のパターンの部分には、第2の外部接続部材がそれぞれ接合され、前記第1の外部接続部材と前記第2の外部接続部材とが互いに非接触となることを特徴とし、また、前記接合部材ははんだまたはろう部材からなることを特徴とするものである。

【0006】

【発明の実施の形態】本発明の第1の実施の形態に係る半導体装置を図1を用いて説明する。

【0007】図1は第1の実施の形態に係る半導体装置を示す図で、(a)は斜視図、(b)はA-A断面図である。1はその上面に、大電流が流れる2個のソース電極3と、信号電流が流れるゲート電極4が配置され、裏面にドレイン電極2が配置された半導体素子である。尚、本実施の形態の場合、半導体素子1の表面にあるソース電極3とゲート電極4以外の領域は防湿等を目的としてコーティングが施されており、非実装領域とされる。

【0008】5はソース電極3と接合される電極接合部71を有するソースリード部材である。ソースリード部材5は厚さ約0.2mm、幅約2.0mmをなし、銅合金板からプレス成形された平板形状のものである。そしてソースリード部材5の一端が電極接合部71として構成され、その他端がはんだ付けによりソースパターン9と接合されている。本図の場合、2つのソース電極3に対応して2本のソースリード部材3が設けられている。

【0009】この電極接合部71はソースリード部材5より延設されたものであるが、ソース電極3(四角形状を有している)とはほぼ同じ面積の平板形状をなすものである。この電極接合部71ははんだ91を介してソース電極3と接合されるものである。

【0010】そして、本実施の形態の場合、本図(b)に示すようにソース電極3と電極接合部71とが所定の間隔で対向するよう、ソース電極3と対向する面の電極に当接する箇所にプレス押し出しで形成された直径0.6mm、高さ0.1~0.5mmの少なくとも1つの突起51が形成されている。これによって、突起51の厚さの分はんだ91が厚くなり、大電流によって発生する接合部にかかる熱応力をはんだ91で吸収することができる。

【0011】尚、本実施の形態では該突起51は2つのソース電極3に対して夫々1個ずつ設けられている。

【0012】6はゲート電極4とゲートパターン10とを接続するアルミニウム製のボンディングワイヤである。7は表面に2箇所設けられたドレインパターン8、

81、ソースパターン9、ゲートパターン10を配置するベース基板である。

【0013】またベース基板7にはこれらドレインパターン81、ソースパターン9、ゲートパターン10とからの電気信号を集約し、装置外部との接続に用いられる外部接続部材11が3本立設されている。

【0014】次に製造方法について説明する。基板7のドレインパターン8の所定の位置に、ペースト状のはんだ90を塗布したドレイン電極2を当接する。このとき、ソース電極3にソースリード部材5の電極接合部71を突起51で当接させたときにできるソース電極3と電極接合部71との間隙にペースト上のはんだ91を充填しておくとともに、ソースリード部材5の他端とソースパターン9との間にもペースト状のはんだを充填しておく。そして、加熱炉にてリフロー接合法によりはんだ90、及びはんだ91を溶融させ、ドレインパターン8をドレイン電極2に、ソースリード部材5の電極接合部71をソース電極3に、そしてソースリード部材5の他端をソースパターン9にそれぞれ同時接合する。

【0015】尚、もう一本のソースリード部材5についても上述のものと同工程である。

【0016】次に、ゲート電極4にボンディングワイヤ6を、加圧しながら超音波振動を加え、この超音波振動による溶接で接合する。

【0017】次に、ボンディングワイヤ6の他端をゲートパターン10に上述と同様超音波溶接で接合する。

尚、ドレインパターン8と他方のドレインパターン81とを接続する部材もボンディングワイヤを採用し、上述と同じように超音波振動によって該ボンディングワイヤと各ドレインパターン8、81とを接合する。

【0018】以上説明したように本実施の形態に係る半導体装置は、ソース電極3の面積にほぼ等しい平板状の電極接合部を有するソースリード部材5を用いることにより、ソース電極に対する接合部材の接合面積を広くして接続抵抗を小さくすることができ、且つはんだ付けにより接合を行うので、従来のようなボンディングワイヤを採用する必要がなくなる。これによって、接合部の剥離を抑え、且つ超音波振動による半導体素子の破壊を防止できる。

【0019】さらに突起51によりソース電極3とソースリード部材5との間に間隙を設け、この間隙にはんだ91を充填すれば前記間隙分だけ厚肉のはんだ層を形成することができる。ソース電極3とソースリード部材5間の接続抵抗部分に流れる大電流によって発生する熱によるソース電極3とソースリード部材5の熱膨張の差異を、はんだ91が塑性変形して吸収し、はんだが薄い場合に発生するはんだ接合部の破断が防止できる。

【0020】尚、熱膨張の影響がなければこの突起51を特に設けなくとも良い。

【0021】更に、本実施の形態においてはソース電極

について上記リード部材を採用しているが、大電流が流れる電極であればその他の電極（ドレイン電極等）について採用してもよい。

【0022】また、半導体素子1の表面にあるコーティングが非実装領域でなければ、電極接合部71の大きさをソース電極3の面積より大きくしてもよい。

【0023】本発明の第2の実施の形態に係る半導体装置を図2を用いて説明する。

【0024】図2は第2の実施の形態に係る半導体装置の断面図である。尚、本実施の形態においても第1の実施の形態に係る半導体装置の基本構成と同様なので同じ構成に付いては、同じ符号を付し説明を省略する。

【0025】15は銅合金または鉄-ニッケル合金など電極材と熱膨張係数の近似した金属材料からなり、ソース電極3とはほぼ同じ面積の四角形状の金属製パッドである。本実施の形態の場合、パッド15は2つのソース電極3上にそれぞれ設けられており、後述するはんだによってそれぞれのソース電極3と接合されている。またこのパッド15の上面にはアルミニウム製のボンディングワイヤ16の一端が超音波振動により接合されている。このボンディングワイヤ16の他端はソースパターン9に超音波振動により接合されている。

【0026】93はソース電極3とパッド15を接合するはんだである。

【0027】次に製造方法について説明する。尚、本実施の形態はソース電極とソースパターン9の接続のみ異なるのでこの部分の説明をする。ソース電極3とパッド15をリフロー接合法によりはんだ93で接合する。次に、パッド15のソース電極3との接合面の反対の面、即ち上面にボンディングワイヤ16の一端を超音波振動で接合する。次に、ボンディングワイヤ16の他端を、ソースパターン9に超音波振動で接合する。

【0028】以上説明したように本実施の形態に係る半導体装置は、ソース電極3にほぼ等しい面積のパッド15をはんだでソース電極3に接合させ、このパッド15上でボンディングワイヤ16を接合するので、パッド15とソース電極3との接合部の剥離をなくすることができ、また振動と加圧がソース電極3に直接かからないのでソース電極3が損傷することが無い。

【0029】尚、本実施の形態においてはソース電極について上記パッドを採用しているが、大電流が流れる電極であればその他の電極（ドレイン電極等）について採用してもよい。

【0030】また、半導体素子1の表面にあるコーティングが非実装領域でなければ、パッド15の大きさをソース電極3の面積より大きくしてもよい。

【0031】本発明の第3の実施の形態に係る半導体装置を図3を用いて説明する。

【0032】図3は第3の実施の形態に係る半導体装置の断面を示す図である。尚、第1の実施の形態に係る半

導体装置と同じ構成に付いては、同じ符号を付し説明を省略する。19は銅合金または鉄-ニッケル合金など電極材と熱膨張係数の近似した金属材料からなり、2つのソース電極3に対応する位置に2つのパッド脚部20が設けられたパッドである。

【0033】このパッド脚部20のソース電極3と接合する部分の面積はソース電極3の面積とほぼ同じとなるよう形成されており、それぞれの脚部20ははんだ94でソース電極3に接合されている。

【0034】パッド19の上面にはこの2つのソース電極3に対応するべく2つのボンディングワイヤ16、16aの一端が超音波振動によりそれぞれ接合されている。またこのボンディングワイヤ16、16aの他端は共通してソースパターン9に超音波振動により接合されている。

【0035】次に製造方法について説明する。尚、本実施の形態はソース電極とパッドの接続方法のみ異なるのでこの部分の説明をする。

【0036】本実施の形態では、2つのソース電極3とパッド19の脚部20をそれぞれリフロー接合法によりはんだ94で接合する。

【0037】次に、パッド19のソース電極3との接合面の反対面、すなわち上面にボンディングワイヤ16、16aの一端を超音波振動で接合する。またボンディングワイヤ16、16aの他端はソースパターン9に超音波振動で接合される。

【0038】以上説明したように本実施の形態によれば、第2の実施の形態による作用効果だけでなく、1つのパッド上に複数のボンディングワイヤを接合させることができ、半導体素子の特性に合わせて接合させるべきボンディングワイヤの本数の自由度を向上させることができる。

【0039】尚、本例のような脚部20を第1の実施の形態のソースリード部材5に適用しても良い。

【0040】本発明の第4の実施の形態に係る半導体装置を図4を用いて説明する。

【0041】図4は第4の実施の形態に係る半導体装置の断面を示す図で、(a)は装置の断面図、(b)はB部拡大図である。尚、説明を分かり易くするために、半導体素子70には電極が上下面に夫々1つつ設けられた構造とする。70は上面に上面電極29と下面に下面電極30が配置された半導体素子である。22は上面電極29に対応する上面電極用パターン24が配置された上面基板である。この上面電極用パターン24は半導体素子70を上面電極用パターン24に接合したとき該半導体素子70のシリコンエッジ37が上面電極用パターン24と非接触となるようプレス加工等で形成された溝28が設けられている。23は下面電極30に対応する下面電極用パターン241が配置された下面基板である。

【0042】次に製造方法について説明する。下面基板23の下面電極用パターン241を上面向け、水平状に置き、下面電極30とはほぼ同一の面積の箔状はんだを介して半導体素子70の下面電極30を下面電極用パターン241の対応する位置に積重ねる。次に、半導体素子70の上面電極29を該電極29より小さい面積の箔状はんだを介して上面電極用パターン24の該電極29と対応する位置に積重ねる。前記の層状に積重ねた集層部材を（加熱炉に入れてはんだを溶融し、炉外にて）リフロー接合する。尚、上面基板22と半導体素子70と下面基板23との相互の配置を精密に定める必要がある場合は夫々の部材の接合面に突部あるいはこれにはまり合う凹部を配置する。あるいは、はんだ接合時点まで各部材の外周に当接して部材の位置を規制する治具を用いても良い。

【0043】以上説明したように本実施の形態によれば、第1の実施の形態による効果だけでなく、電極とパターンとの接続に接続部材そのものが不要となりコストが節減できる。また半導体素子のシリコン基板のエッジと非接触にすべき上面電極用パターン24との間に空隙が確保され、いわゆる、エッジタッチが防止できる。尚、本例では溝28を設けるようにしたが、エッジタッチの問題がなければ特に設けなくとも良い。

【0044】図5は第5の実施の形態に係る半導体装置の断面図である。尚、説明を分かり易くするために、半導体素子には電極が上下面に夫々1つずつ設けられた構造とする。70は上面に上面電極29と下面に下面電極30が配置された半導体素子である。45は上面電極29に対応する上面電極用パターン53が半導体素子70の右端より更に延長されてなる外部接続部55を有する上面基板である。46は下面電極30に対応する下面電極用パターン54が半導体素子70の左端より更に延長されてなる外部接続部56を有する下面基板である。51、52は上面電極用パターン53の外部接続部55及び下面電極用パターン54の外部接続部56と装置外部とを接続するアルミニウム製のボンディングワイヤである。

【0045】次に製造方法について説明する。下面基板46の下面電極用パターン54を上面向け、水平状に置き、下面電極30とはほぼ同一面積の箔状はんだを介して半導体素子70の下面側電極30を下面電極用パターン54と対応する位置に積重ねる。次に、半導体素子70の上面電極29を該電極29とはほぼ同一の面積の箔状はんだを介して上面電極用パターン53の該電極29と対応する位置に積重ねる。前記の層状に積重ねた集層部材を（加熱炉に入れてはんだを溶融し、炉外にてはんだ接合する）リフロー接合する。尚、下面基板46と半導体素子70と上面基板45との相互の配置を精密に定める必要がある場合は夫々の部材の接合面に突部あるいは

これにはまり合う凹部を配置する。あるいは、はんだ接合時点まで各部材の外周に当接して部材の位置を規制する治具を用いても良い。次に上面側ボンディングワイヤ51と外部接続部55、下面側ボンディングワイヤ52と外部接続部56を夫々、超音波振動により溶接する。

【0046】尚、上記では上面電極用パターン53と下面電極用パターン54の延長方向が半導体素子29を中心にして互いに180度反対方向にある例を示したが、ボンディングワイヤの超音波溶接作業ができ、上面側ボンディングワイヤと下面側ボンディングワイヤとが接触しない範囲であれば、互いの延長方向が180度反対でなくとも良い。

【0047】また、外部接続用部材としてボンディングワイヤを採用したが、これに限定されず、リード部材を採用してはんだ付けにより外部と接続してもよい。

【0048】以上説明したように本実施の形態によれば、第4の実施の形態による効果だけでなく、上側、下側のパターンを互いにずらして延設しているため、ボンディングワイヤを超音波振動させるとき、接合部分が開放空間であるため超音波溶接作業がし易く、また互いのボンディングワイヤが接触することも無い。

【0049】また、以上説明した実施の形態においては接合部材をはんだとしたがこれに限らず、ろう部材等を用いてもよい。

【0050】

【発明の効果】以上説明したように本発明によれば、半導体素子の電極の接合部分が剥離することなく大電流を流すことができ、また超音波振動による半導体素子の破壊を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置を示す図である。

【図2】本発明の第2の実施の形態に係る半導体装置の断面を示す図である。

【図3】本発明の第3の実施の形態に係る半導体装置の断面を示す図である。

【図4】本発明の第4の実施の形態に係る半導体装置の断面を示す図である。

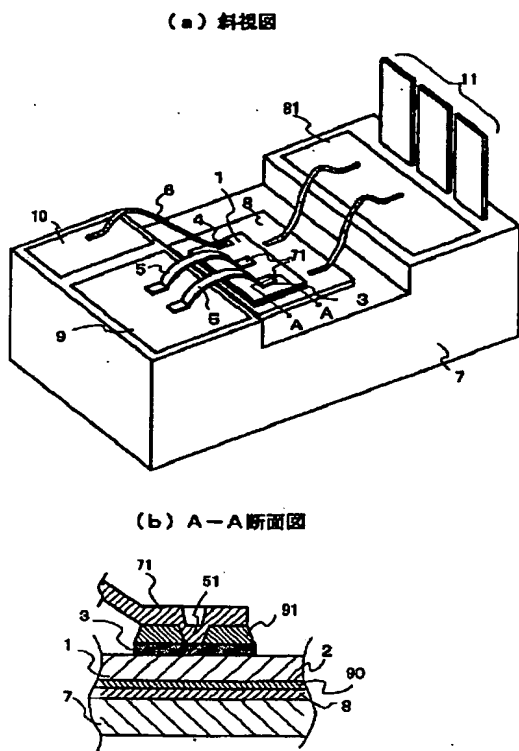
【図5】本発明の第5の実施の形態に係る半導体装置の断面を示す図である。

【符号の説明】

- 1・・・半導体素子
- 2・・・ドレイン電極
- 3・・・ソース電極
- 4・・・ゲート電極
- 5・・・ソースリード部材
- 9・・・ソースパターン
- 51・・・突起
- 71・・・電極接合部

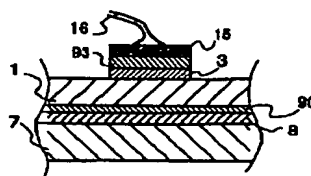
【図1】

本発明の第1の実施の形態に係る半導体装置を示す図



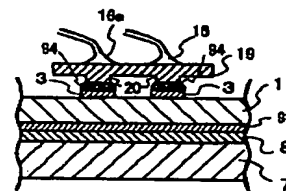
【図2】

本発明の第2の実施の形態に係る半導体装置の断面を示す図



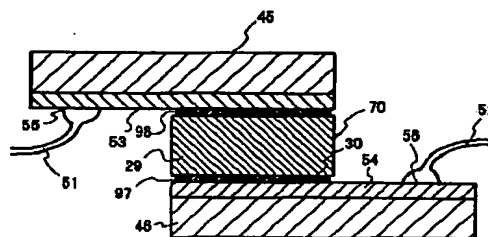
【図3】

本発明の第3の実施の形態に係る半導体装置の断面を示す図



【図5】

本発明の第5の実施の形態に係る半導体装置の断面を示す図



【図4】

本発明の第4の実施の形態に係る半導体装置の断面を示す図

